

# TE7725PF

本 LSI を使用する際には、専用の無償ダウンロードツール (TE7725Player) と専用の INREVIUM 製ダウンロードケーブル (TD-LB2CABLE) または Xilinx 社製パラレルケーブル or が必要になります。INREVIUM 製ダウンロードケーブル (TD-LB2CABLE) を使用することを推奨します。

## 1. 目次

1. 目次.....	2
2. 概要.....	3
3. 特徴.....	3
4. システム図.....	4
5. 入出力仕様.....	5
5.1.端子配列表.....	5
5.2.端子説明.....	6
6. 機能概要.....	7
6.1. 電源投入シーケンス制御可能出力.....	7
6.2. フラッシュメモリインタフェース.....	8
6.2.1 イレース動作.....	8
6.2.2 書き込み動作.....	10
6.2.3 ライトバッファ動作.....	12
6.2.4 読み出し動作(Verify).....	14
6.2.5 読み出し動作(コンフィグレーション).....	15
6.3. データセレクション機能.....	17
6.4.FPGA コンフィグレーションインタフェース.....	22
6.5.JTAG について.....	26
6.6.ステータス出力.....	26
6.7.BUS_RELEASE 出力信号について.....	27
7.パッケージ外形図.....	28
8. 絶対最大定格.....	29
9. 推奨動作範囲.....	29
10. DC 特性.....	30
11. パワーオンシーケンス.....	30
11-1 電源投入.....	30
11-2 電源切断.....	30
12. AC 特性.....	31
12-1 Xilinx FPGA に対するコンフィグレーション機能(マスタシリアル).....	31
12-2 Xilinx FPGA に対するコンフィグレーション機能(マスタセレクトマップ).....	32
12-3 TE7725Player に対する AC 特性.....	33
13. Appendix.....	31
14. 改版履歴.....	35

## 2. 概要

TE7725PF は、以下の機能が内蔵されております。

1. XILINX 社 FPGA に対するコンフィグレーション機能
2. フラッシュメモリに対する読み出し、書き込み、消去機能
3. 外部設定端子によるフラッシュメモリアドレス指定機能
4. JTAG インストラクション機能
5. ステータス出力機能
6. 電源投入シーケンス制御可能出力

フラッシュメモリを使用した FPGA コンフィグレーション、フィールドでのシステムアップデートに対する有効なソリューションを提供致します。PC からフラッシュメモリへコンフィグレーションデータをダウンロードする際は、専用のダウンロードツール (TE7725Player) とダウンロードケーブル (INREVIUM 製 TD-LB2CABLE または Xilinx 製パラレルケーブル または ) を使用致します。

## 3. 特徴

- 1) 3 系統のクロック入力
  - TCK (JTAG)
  - CLK (FPGA)
  - CLKP\_S (電源投入シーケンス制御可能出力)
- 2) 最大動作周波数
  - TCK (10MHz)
  - CLK (40MHz)
  - CLKP\_S (40MHz)
- 3) 対応 Xilinx 社 FPGA
  - Spartan2/2E/3/3E
  - Virtex/E/2/2PRO/4/5
- 4) 対応 Spansion 社フラッシュメモリ
  - S29AL016D90TFI010
  - S29AL016D90TFI020
  - S29JL032H70TFI010
  - S29JL032H70TFI020
  - S29JL032H70TFI420
  - S29JL064H90TFI000
  - S29GL128N90TFIR10
  - S29GL256N90TFIR10

Numonyx 社フラッシュメモリに関しては Appendix を参照して下さい。

- 5) FPGA コンフィグレーション機能
- 6) フラッシュメモリに対する読み出し、書き込み、消去機能
- 7) フラッシュメモリアドレス指定機能
- 8) FPGA コンフィグレーションステータス出力機能
- 9) 電源シーケンス制御可能出力機能
- 10) TE7725Player インタフェース機能
- 11) 100QFP パッケージ

## 4. システム図

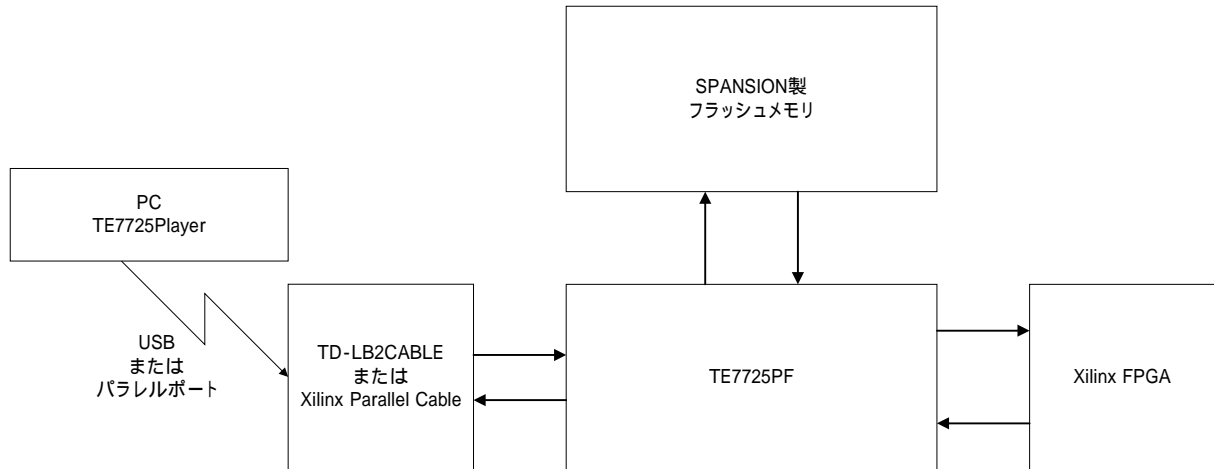


図 1 : システム概要図

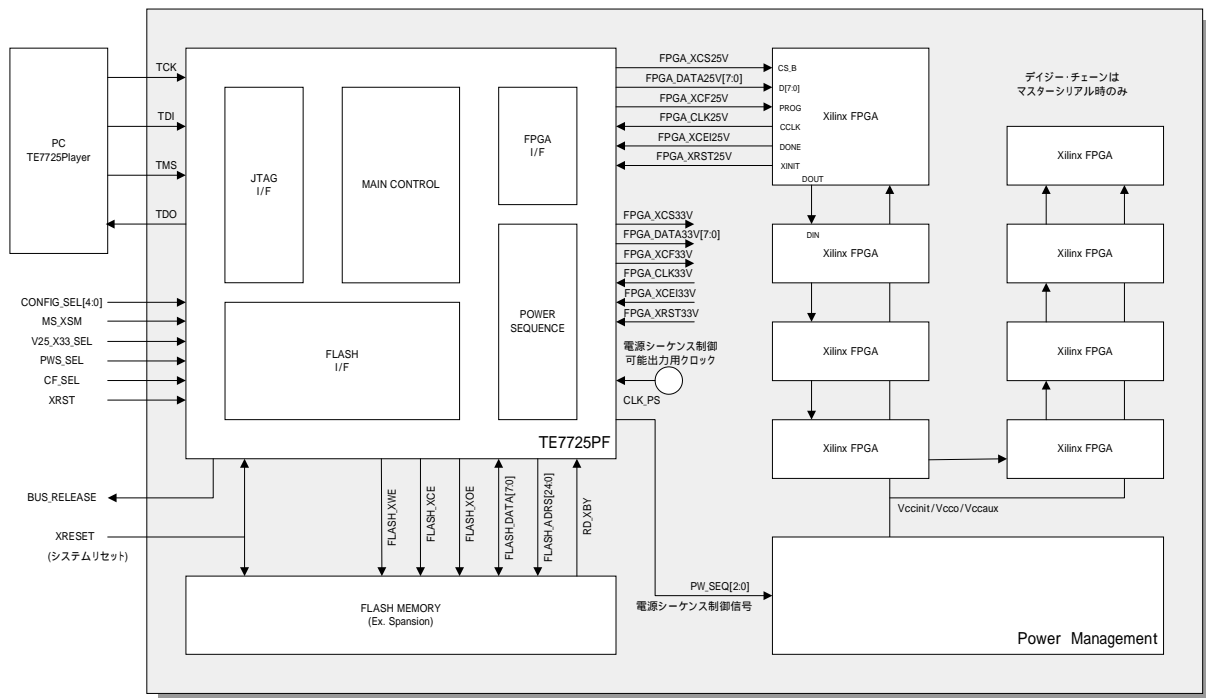


図 2 : システム概要詳細図

## 5. 入出力仕様

### 5.1. 端子配列表

NO.	PIN Name	I/O Cell				Iol[mA]	NO.	PIN Name	I/O Cell				Iol[mA]
		I/O	I/F Level	Pull-up/down	Schmidt				I/O	I/F Level	Pull-up/down	Schmidt	
1	VDD1						51	VDD1					
2	VDD2						52	VDD2					
3	FPGA_XRST25V	I	2.5	Pull-up			53	FLASH_ADRS[6]	O	3.3			6
4	FPGA_XCS33V	O	3.3			6	54	FLASH_ADRS[5]	O	3.3			6
5	FPGA_XCF33V	O	3.3			6	55	FLASH_ADRS[4]	O	3.3			6
6	CONFIG_SEL[0]	I	3.3				56	FLASH_ADRS[3]	O	3.3			6
7	CONFIG_SEL[1]	I	3.3				57	FLASH_ADRS[2]	O	3.3			6
8	CONFIG_SEL[2]	I	3.3				58	FLASH_ADRS[1]	O	3.3			6
9	CONFIG_SEL[3]	I	3.3				59	FLASH_ADRS[0]	O	3.3			6
10	CONFIG_SEL[4]	I	3.3				60	FLASH_XWE	O	3.3			6
11	PWS_SEL	I	3.3				61	FLASH_XOE	O	3.3			6
12	CLK_PS	I	3.3				62	FLASH_XCE	O	3.3			6
13	GND						63	BUS_RELEASE	O	3.3			6
14	TCK	I	3.3				64	FLASH_DATA[7]	I/O	3.3			6
15	CF_SEL	I	3.3				65	FLASH_DATA[6]	I/O	3.3			6
16	TDI	I	3.3	Pull-up			66	FLASH_DATA[5]	I/O	3.3			6
17	GND						67	FLASH_DATA[4]	I/O	3.3			6
18	TMS	I	3.3	Pull-up			68	FLASH_DATA[3]	I/O	3.3			6
19	TDO	O	3.3			9	69	FLASH_DATA[2]	I/O	3.3			6
20	PW_SEQ[0]	O	3.3			6	70	FLASH_DATA[1]	I/O	3.3			6
21	PW_SEQ[1]	O	3.3			6	71	GND					
22	PW_SEQ[2]	O	3.3			6	72	FLASH_DATA[0]	I/O	3.3			6
23	XRST	I	3.3	Pull-up			73	RD_XBY	I	3.3			
24	VDD2						74	VDD2					
25	VDD1						75	VDD1					
26	GND						76	GND					
27	XRESET	I	3.3				77	FPGA_CLK33V	I	3.3	Pull-up		
28	MS_XSM	I	3.3				78	FPGA_XCEI33V	I	3.3	Pull-up		
29	GND						79	FPGA_XRST33V	I	3.3	Pull-up		
30	V25_X33_SEL	I	3.3				80	FPGA_XCF25V	O	2.5			6
31	FLASH_ADRS[24]	O	3.3			6	81	FPGA_XCS25V	O	2.5			6
32	FLASH_ADRS[23]	O	3.3			6	82	FPGA_DATA25V[0]	O	2.5			6
33	FLASH_ADRS[22]	O	3.3			6	83	FPGA_DATA25V[1]	O	2.5			6
34	FLASH_ADRS[21]	O	3.3			6	84	FPGA_DATA25V[2]	O	2.5			6
35	FLASH_ADRS[20]	O	3.3			6	85	FPGA_DATA25V[3]	O	2.5			6
36	FLASH_ADRS[19]	O	3.3			6	86	FPGA_DATA25V[4]	O	2.5			6
37	FLASH_ADRS[18]	O	3.3			6	87	FPGA_DATA25V[5]	O	2.5			6
38	FLASH_ADRS[17]	O	3.3			6	88	FPGA_DATA25V[6]	O	2.5			6
39	FLASH_ADRS[16]	O	3.3			6	89	FPGA_DATA25V[7]	O	2.5			6
40	FLASH_ADRS[15]	O	3.3			6	90	FPGA_DATA33V[0]	O	3.3			6
41	FLASH_ADRS[14]	O	3.3			6	91	FPGA_DATA33V[1]	O	3.3			6
42	FLASH_ADRS[13]	O	3.3			6	92	FPGA_DATA33V[2]	O	3.3			6
43	FLASH_ADRS[12]	O	3.3			6	93	FPGA_DATA33V[3]	O	3.3			6
44	FLASH_ADRS[11]	O	3.3			6	94	FPGA_DATA33V[4]	O	3.3			6
45	FLASH_ADRS[10]	O	3.3			6	95	FPGA_DATA33V[5]	O	3.3			6
46	FLASH_ADRS[9]	O	3.3			6	96	FPGA_DATA33V[6]	O	3.3			6
47	GND						97	FPGA_DATA33V[7]	O	3.3			6
48	FLASH_ADRS[8]	O	3.3			6	98	FPGA_XCEI25V	I	2.5	Pull-up		
49	FLASH_ADRS[7]	O	3.3			6	99	FPGA_CLK25V	I	2.5	Pull-up		
50	GND						100	GND					

内部プルアップ抵抗は 100K

FPGA との接続については各デバイスごとのコンフィギュレーション UserGuide を確認してください。

表 1：端子配列表

## 5.2. 端子説明

端子名	機能説明
FPGA_DATA33v[7:0]	3.3VのFPGAコンフィグレーションデータ出力ピンで、FPGAのDIN/D[0:7]に接続します。(FPGA_DATA33v[7:0] : D[0:7]) コンフィグレーションインタフェース電圧に2.5Vを使用した時、これらのピンはステータス出力ピン(6.6項詳細)となります。
FPGA_CLK33v	3.3VのFPGAコンフィグレーション用クロックピン。FPGAのCCLKに接続します。未使用時は1K程度でプルアップして下さい。
FPGA_XCEI33v	3.3Vのチップイネーブル。FPGAのDONEに接続します。未使用時は1K程度でプルアップして下さい。
FPGA_XRST33v	3.3Vのコンフィグレーションリセット。FPGAのINITに接続します。未使用時は1K程度でプルアップして下さい。
FPGA_XCF33v	3.3Vのコンフィグレーションスタート。FPGAのPROGRAMに接続します。
FPGA_XCS33v	3.3Vのチップイネーブル出力。FPGAがマスタセレクトマップモード時に使用しFPGAのCSに接続します。
FPGA_DATA25v[7:0]	2.5VのFPGAコンフィグレーションデータ出力ピンで、FPGAのDIN/D[0:7]に接続します(FPGA_DATA25v[7:0] : D[0:7])。コンフィグレーションインタフェースに3.3Vを使用した時、これらのピンはステータス出力ピン(6.6項詳細)となります。
FPGA_CLK25v	2.5VのFPGAコンフィグレーション用クロックピン。FPGAのCCLKに接続します。未使用時は1K程度でプルアップして下さい。
FPGA_XCEI25v	2.5Vのチップイネーブル。FPGAのDONEに接続します。未使用時は1K程度でプルアップして下さい。
FPGA_XRST25v	2.5Vのコンフィグレーションリセット。FPGAのINITに接続します。未使用時は1K程度でプルアップして下さい。
FPGA_XCF25v	2.5Vのコンフィグレーションスタート。FPGAのPROGRAMに接続します。
FPGA_XCS25v	2.5Vのチップイネーブル出力。セレクトマップモード時に使用しFPGAのCSに接続します。
FLASH_ADRS[24:0]	フラッシュメモリアドレス。BUS_RELEASE=0の時、Hi-Zを出力します。
FLASH_DATA[7:0]	フラッシュメモリデータ。BUS_RELEASE=0の時、入力方向を向いています。
FLASH_XWE	フラッシュメモリライトイネーブル。BUS_RELEASE=0の時、Hi-Zを出力します。
FLASH_XOE	フラッシュメモリアウトプットイネーブル。BUS_RELEASE=0の時、Hi-Zを出力します。
FLASH_XCE	フラッシュメモリチップイネーブル。BUS_RELEASE=0の時、Hi-Zを出力します。
RD_XBY	フラッシュメモリレディー/ビジー信号。
BUS_RELEASE	FPGAのコンフィグレーションが正常終了した時、もしくはTE7725Playerからのコマンドが正常終了した時にこの端子は"0"を出力します。この時、全てのフラッシュメモリ/FはHi-z状態になります(FLASH_DATA[7:0]は入力方向)。それ以外の状態の時には"1"を出力します。
TDI	TE7725Playerデータ入力。未使用時は1K程度でプルアップして下さい。
TMS	TE7725Playerモードセレクト。未使用時は1K程度でプルアップして下さい。
TCK	TE7725Playerクロック入力。未使用時は1K程度でプルアップして下さい。
TDO	TE7725Playerデータ出力。
XRST	"0"アクティブのFPGA(再)コンフィグレーション開始信号。この端子にLowパルス(Min100ns)を入力することにより、FPGA_XCFよりLowパルスが出力されコンフィグレーションを開始させることが出来ます。未使用時は1K程度でプルアップして下さい。
XRESET	"0"アクティブのシステムリセット。本LSI全てのモジュールにリセットがかかります。Minパルスは100ns。電源投入後、必ずシステムリセットをかけて下さい。
CF_SEL	この端子は、CLK_PS入力端子に外部からクロックを入力し、且つ、PWS_SEL="1"の時、PW_SEQ[2:0]の全ての出力端子が"H"になった後で、FPGA_XCF端子よりLowパルスを出力、即ち、コンフィグレーションを開始させます。"1"でこの機能はON、"0"入力でこの機能はOFFになります。電源シーケンス制御可能出力機能をご使用頂く場合、FPGAの電源が立ち上がってから、コンフィグレーションを開始させたい場合に有効な機能です。
CONFIG_SEL[4:0]	コンフィグレーションデータのロケーション指定をします。(6.3項詳細)
V25_X33_SEL	FPGAコンフィグレーションレベル設定端子。"1"2.5V、"0"3.3V。
MS_XSM	FPGAのコンフィグレーションモードを設定端子。"1"マスタシリアル、"0"マスタセレクトマップ
PWS_SEL	電源シーケンス制御可能出力の設定ピンです。"1"出力ON、"0"出力OFF
CLK_PS	電源シーケンス制御可能出力の基準入力クロックです。未使用時は1K程度でプルダウンして下さい。
PW_SEQ[2:0]	電源シーケンス制御可能出力信号
VDD1	2.5V電源
VDD2	3.3V電源
GND	グラウンド

表 2: 端子説明表

## 6. 機能概要

### 6.1. 電源投入シーケンス制御可能出力

本モジュールは、FPGA の電源投入シーケンスにも使用できる出力信号を生成します。レギュレータや電源シーケンサーのイネーブル信号にこの信号を接続することにより FPGA の電源投入シーケンス制御が可能となります。

この機能を使用するには PWS\_SEL="1"と設定します(PWS\_SEL="0"とするとこの機能は OFF になり、CLK\_PS 端子にクロックを入力させても PW\_SEQ[2:0]から信号は出力されません)。次に本 LSI の CLK\_PS 端子にクロックを入力させます。その基準 CLK に対して 20,000CLK、40,000CLK、60,000CLK カウントした後、PW\_SEQ[2:0]より各々のタイミングで"H"信号を出力致します。PW\_SEQ[0]は 20,000CLK、PW\_SEQ[1]は 40,000CLK、PW\_SEQ[2]は 60,000CLK に対応します。周波数 MAX40MHz の CLK を入力しますと、約 500  $\mu$ s のタイミングで PW\_SEQ[0]より順に"H"信号を出力します。

PWS_SEL	CF_SEL	PW_SEQ[0]	PW_SEQ[1]	PW_SEQ[2]	電源シーケンス	コンフィグレーション
0	0	-	-	-	行わない	行わない
0	1	-	-	-	行わない	行う
1	0	20000	40000	60000	行う	行わない
1	1	20000	40000	60000	行う	行う

表 3 : クロックカウント表

## 6.2. フラッシュメモリインタフェース

本モジュールは、Spansion 社製フラッシュメモリ（制御容量 16/32/64/128/256Mbit）とのインタフェースを行います。フラッシュメモリに対して、任意セクタブロック単位のライト/リード/消去制御が可能です。また、本 LSI が待機状態のとき全てのフラッシュメモリインタフェース信号は Hi-z 状態となります。この時、BUS\_RELEASE 信号は“0”を出力します。

### 6.2.1 イレース動作

フラッシュメモリのイレースコマンドは、チップイレースとセクタイレースの2通りがあります。セクタイレースを行なう場合、64Kbyte または 128KByte 単位での消去コマンドが必要になります。TE7725PF では、メモリブロック単位（セクタイレース×n回）で、消去コマンドを発行します。消去は、6回のバス動作で行われます。連続消去の場合は、セクタ消去コマンドの次のバスサイクルで引き続き消去コマンドを発行します。消去コマンドを発行してから、XWE パルスの立ち上がりの後に RD\_XBY 信号が“0”となり、フラッシュメモリがビジー状態となります。リードアドレスは消去しているセクタアドレスとします。消去中は、RD\_XBY 信号は“0”となっており、“1”になると消去終了となり、本 LSI は待機状態となります。

	1stバスサイクル		2ndバスサイクル		3rdバスサイクル		4thバスサイクル		5thバスサイクル		6thバスサイクル	
	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
チップイレース	AAAh	AAh	555h	55h	AAAh	80h	AAAh	AAh	555h	55h	AAAh	10h
セクタイレース	AAAh	AAh	555h	55h	AAAh	80h	AAAh	AAh	555h	55h	SA	30h

消去コマンド(10hチップ/30hセクタ)  
SAはセクタアドレス

表 4:イレース動作コマンド

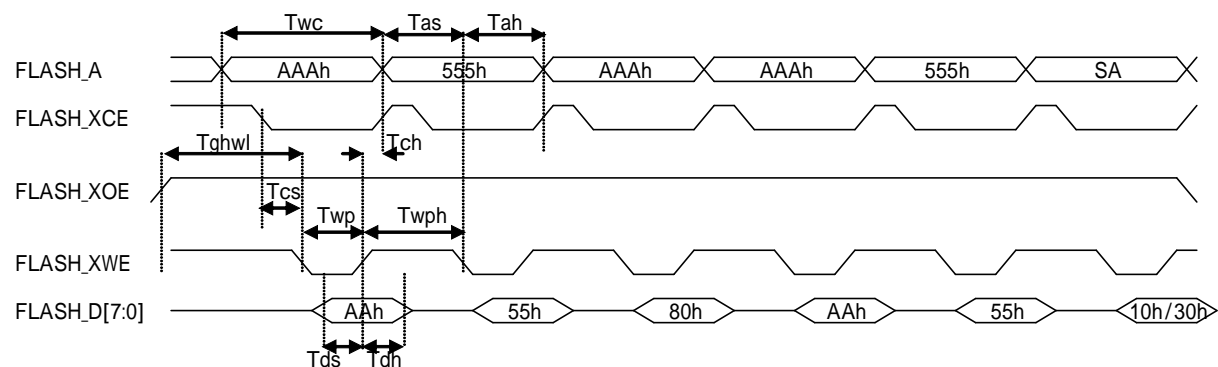


図 3:イレース動作タイミングチャート

項目	記号	Min	Typ	Max	単位
ライトサイクルタイム	Twc	90	-	-	ns
アドレスセットアップタイム	Tas	0	-	-	ns
アドレスホールドタイム	Tah	45	-	-	ns
データセットアップタイム	Tds	45	-	-	ns
データホールドタイム	Tdh	0	-	-	ns
ライト前のリードリカバリタイム	Tghwl	0	-	-	ns
XCEセットアップタイム	Tcs	0	-	-	ns
XCEホールドタイム	Tch	0	-	-	ns
ライトパルス幅	Twp	35	-	-	ns
ライトパルス幅ハイレベル	Twph	30	-	-	ns

表 5:イレース動作タイミング特性

項目	メモリ容量	Min	Typ	Max	単位
チップイレース待ち時間	32Mbit	—	28	-	s
	64Mbit	—	56	-	s
	128Mbit	—	64	256	s
	256Mbit	—	128	512	s

表 6:イレース動作待ち時間

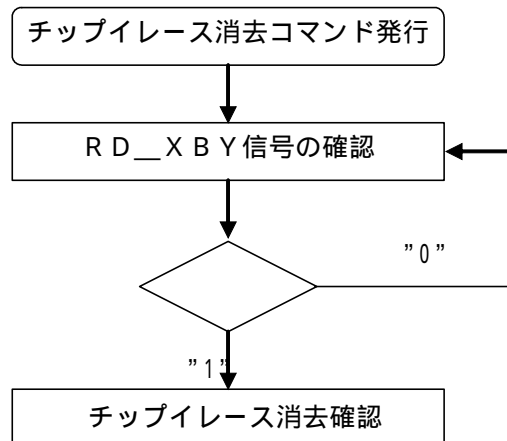


図 4:チップイレース動作シーケンス

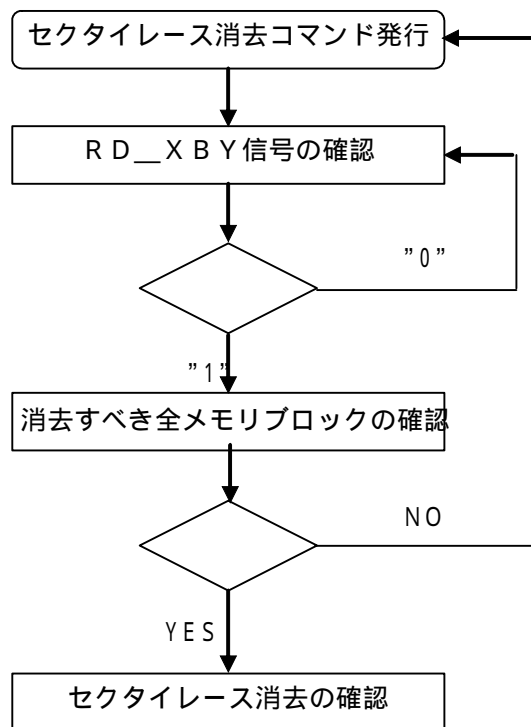


図 5:セクタイレース動作シーケンス

## 6.2.2 書き込み動作

フラッシュメモリに対する書き込みは、TCK同期で行われます。  
1Byte単位での書き込みが可能です。  
バースト書き込みは対応しておりません。

	1stバスサイクル		2ndバスサイクル		3rdバスサイクル		4thバスサイクル	
書き込み動作	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
	AAAh	AAh	555h	55h	AAAh	A0h	PA	PD

書き込みコマンド

表 7:書き込み動作コマンド

PA:書き込みアドレス、PD:書き込みデータ

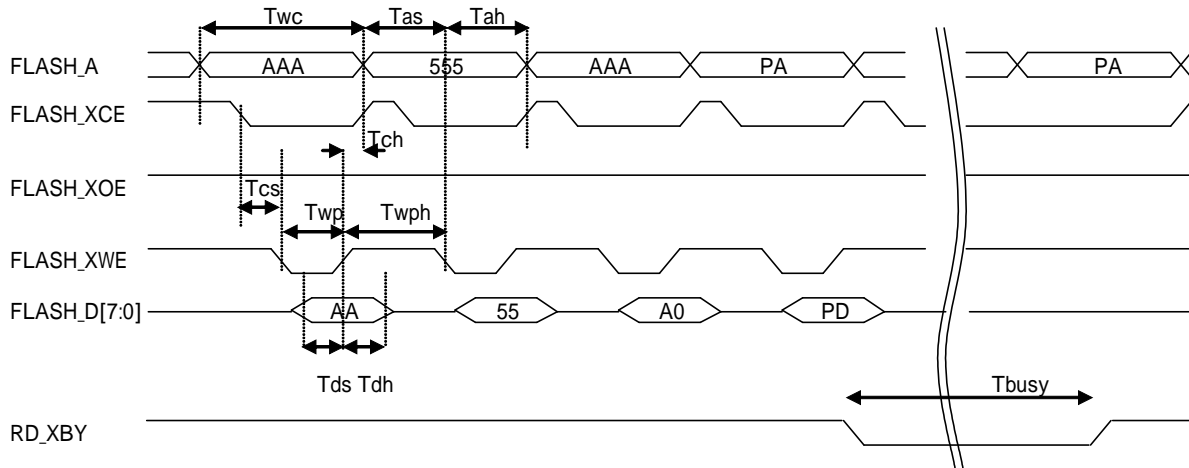


図 6:書き込み動作タイミングチャート

項目	記号	Min	Typ	Max	単位
ライトサイクルタイム	Twc	90	-	-	ns
アドレスセットアップタイム	Tas	0	-	-	ns
アドレス保持時間	Tah	45	-	-	ns
CEセットアップ時間	Tcs	0	-	-	ns
ライトパルス幅	Twp	35	-	-	ns
ライトパルス幅(High)	Twph	30	-	-	ns
CE保持時間	Tch	0	-	-	ns
データセットアップ時間	Tds	45	-	-	ns
データ保持時間	Tdh	0	-	-	ns

表 8:フラッシュメモリからのライト動作タイミング特性

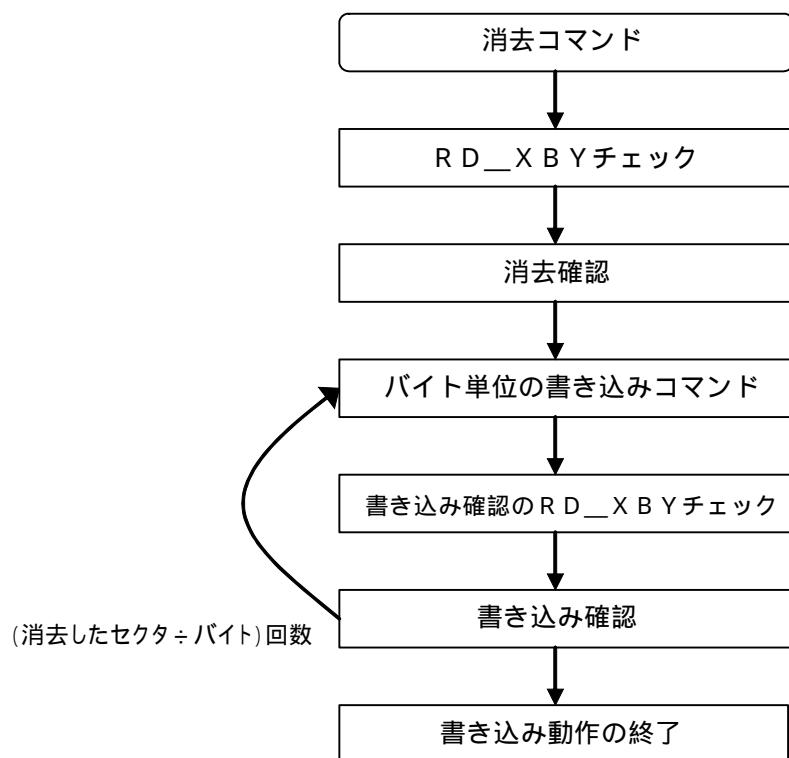


図 7:書き込み動作シーケンス

## 6.2.3 ライトバッファ動作

フラッシュメモリに対する書き込みは、TCK同期で行われます。  
32Byte単位での書き込みが可能です。

	1stバスサイクル	2ndバスサイクル	3rdバスサイクル	4thバスサイクル	4thバスサイクル	5thバスサイクル	...	xthバスサイクル							
ライトバッファ動作	アドレス AAAh	データ AAh	アドレス 555h	データ 55h	アドレス PA	データ 25h	アドレス SA	データ WC	アドレス PA	データ PD	アドレス WBL	データ PD	...	アドレス SA	データ 29
	ライトバッファコマンド						WC数				フラッシュコマンド				

表 9: ライト動作バッファコマンド

WC: バイト数、WBL: ライトバッファロケーション

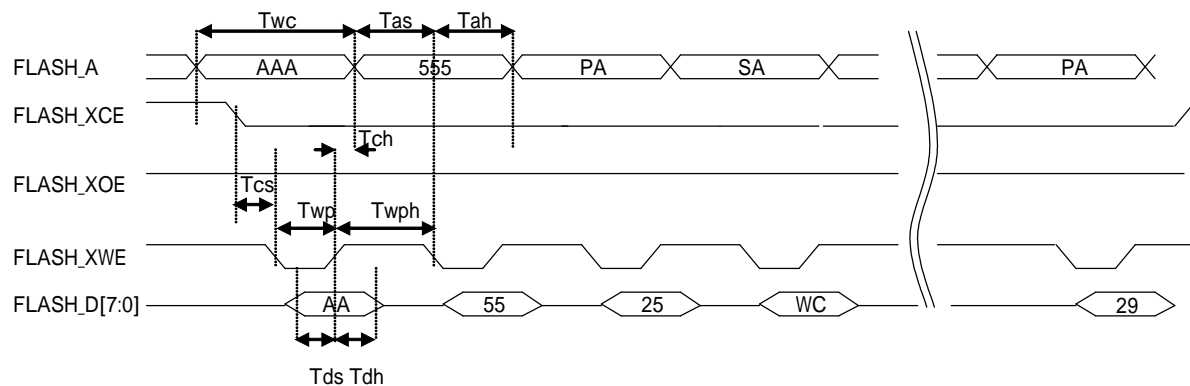


図 8: ライト動作バッファタイミングチャート

項目	記号	Min	Typ	Max	単位
ライトサイクルタイム	Twc	90	-	-	ns
アドレスセットアップタイム	Tas	0	-	-	ns
アドレス保持時間	Tah	45	-	-	ns
CEセットアップ時間	Tcs	0	-	-	ns
ライトパルス幅	Twp	35	-	-	ns
ライトパルス幅 (High)	Twph	30	-	-	ns
CE保持時間	Tch	0	-	-	ns
データセットアップ時間	Tds	45	-	-	ns
データ保持時間	Tdh	0	-	-	ns

表 10: フラッシュメモリからのライト動作タイミング特性

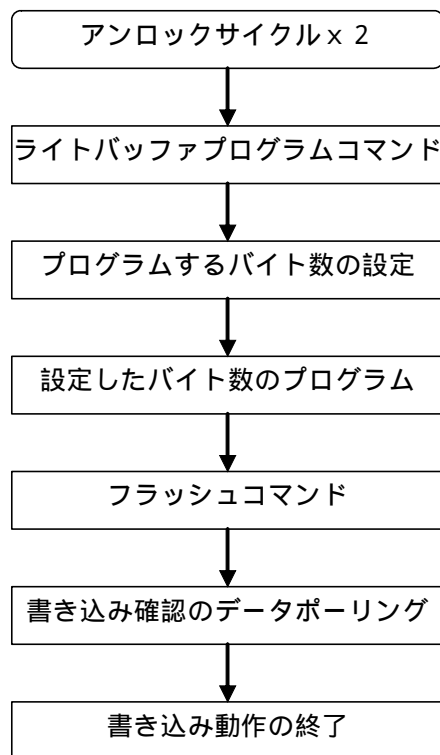


図 9:ライトバッファ動作シーケンス

## 6.2.4 読み出し動作(Verify)

フラッシュメモリに対する読み出しは、TCK同期で行われます。  
リセットコマンドをライトすることで、本LSIはリードする状態にリセットされます。  
リセットコマンドを発行後、リードアドレスを連続して発行します。

読み出し動作	1stバスサイクル	
	アドレス	データ
	RA	RD

表 11: 読み出し動作コマンド

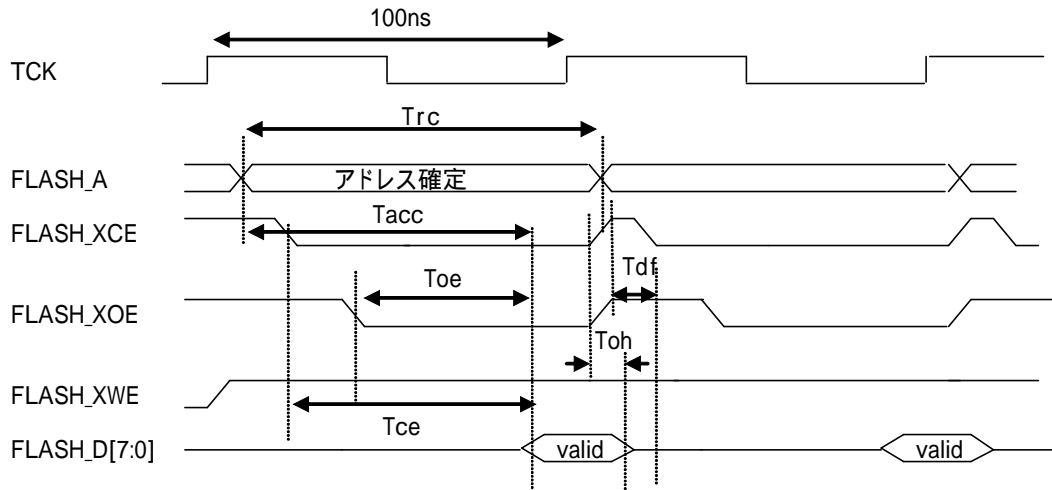


図 10: リード動作タイミングチャート

項目	記号	Min	Typ	Max	単位
リードサイクルタイム	Trc	90	-	-	ns
アクセスタイム	Tacc	-	-	90	ns
チップイネーブルから出力までの遅延	Tce	-	-	90	ns
アウトプットイネーブルから出力までの遅延	Toe	-	-	35	ns
チップイネーブルから出力Hiインピーダンス状態まで	Tdf	-	-	30	ns
アウトプットイネーブルから出力Hiインピーダンス状態まで	Tdf	-	-	30	ns
XOEホールドタイム	Toeh	0	-	-	ns
データ出力ホールドタイム、XCE/XOE	Toh	0	-	-	ns

表 12: フラッシュメモリからのリード動作タイミング特性

## 6.2.5 読み出し動作(コンフィグレーション)

フラッシュメモリに対する読み出しは、CLK 同期で行われます。  
リセットコマンドをライトすることで、本 LSI はリードする状態にリセットされます。  
リセットコマンドを発行後、リードアドレスを連続して発行します。  
FPGA のコンフィグレーションをマスタシリアルモードで行う場合は、コンフィグレーションデータを FPGA へ出力する際に、パラレルシリアル変換のため 8CCLK サイクル必要となります。  
FPGA のコンフィグレーションをマスタセレクトマップで行う場合は、フラッシュメモリに書かれているコンフィグレーションデータを FPGA へ受け渡すだけなので、1CCLK で 1 サイクル終了となります。

	1stバスサイクル	
読み出し動作	アドレス	データ
	RA	RD

表 13: 読み出し動作コマンド

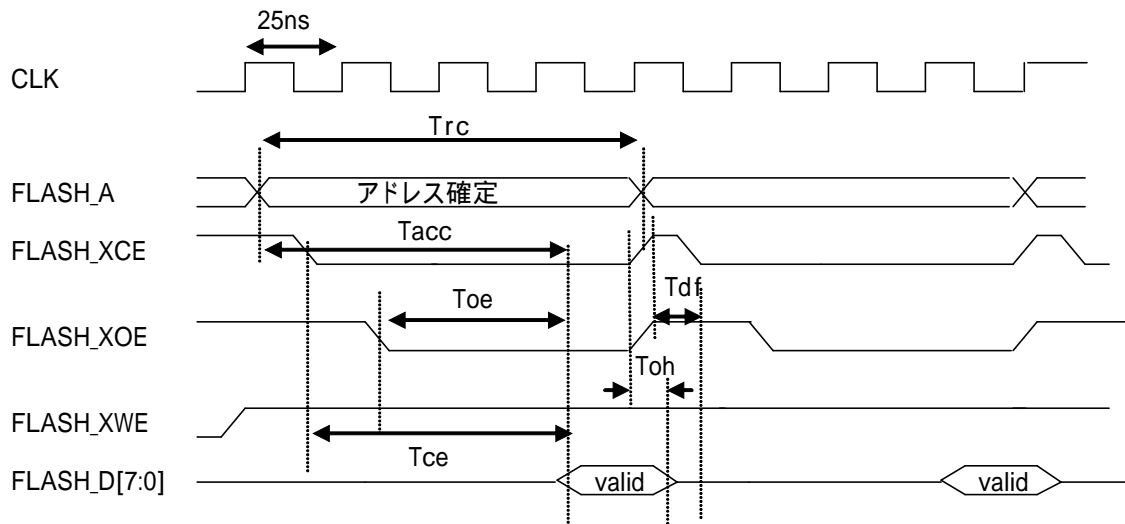


図 11: マスタセレクトマップ時のリード動作タイミングチャート

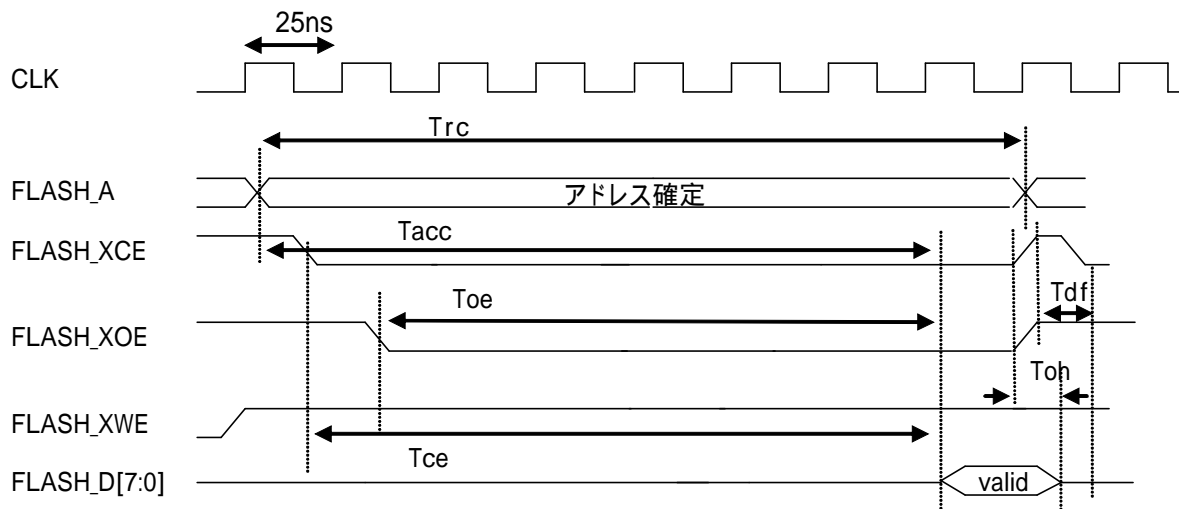


図 12: マスタシリアルモード時のリード動作タイミングチャート

項目	記号	Min	Typ	Max	単位
リードサイクルタイム	Trc	90	-	-	ns
アクセスタイム	Tacc	-	-	90	ns
チップイネーブルから出力までの遅延	Tce	-	-	90	ns
アウトプットイネーブルから出力までの遅延	Toe	-	-	35	ns
チップイネーブルから出力Hiインピーダンス状態まで	Tdf	-	-	30	ns
アウトプットイネーブルから出力Hiインピーダンス状態まで	Tdf	-	-	30	ns
XOEホールドタイム	Toeh	0	-	-	ns
データ出力ホールドタイム、XCE/XOE	Toh	0	-	-	ns

表 14: フラッシュメモリからのリード動作タイミング特性

### 6.3. データセレクション機能

CONFIG\_SEL[4:0]ピンの制御により、32種類のデータセット位置を指定することが可能です。電源投入後、またはシステムリセット後に、CONFIG\_SEL[4:0]ピンのモニタリングを行い、コンフィグレーションデータが格納されているアドレスを認識します。

#### 【16M フラッシュの全領域を使用】

CONFIG\_SEL[4:0] : 00000 (トップセクタ)

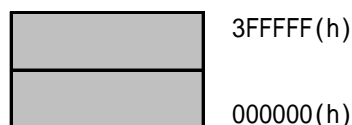


CONFIG\_SEL[4:0] : 10000 (ボトムセクタ)

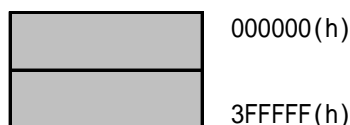


#### 【32M フラッシュの全領域を使用】

CONFIG\_SEL[4:0] : 00001 (トップセクタ)



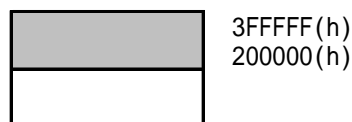
CONFIG\_SEL[4:0] : 10001 (ボトムセクタ)



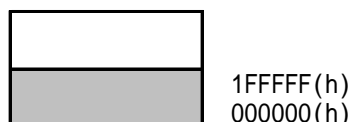
#### 【32M フラッシュの上位領域、下位領域を各々16M 使用】

1- ボトムセクタ時は CONFIG\_SEL[4]=”1”

CONFIG\_SEL[4:0] : 00011 (トップセクタ時)

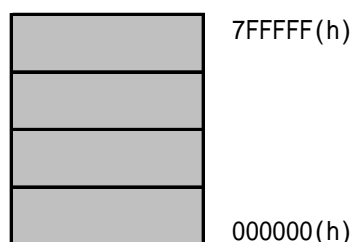


CONFIG\_SEL[4:0] : 00101 (トップセクタ時)

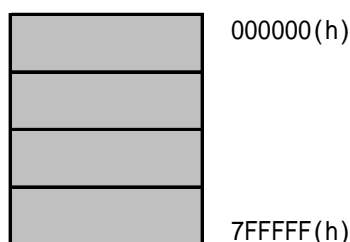


#### 【64M フラッシュの全領域を使用】

CONFIG\_SEL[4:0] : 00010 (トップセクタ)



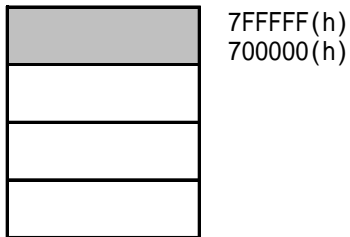
CONFIG\_SEL[4:0] : 10010 (ボトムセクタ)



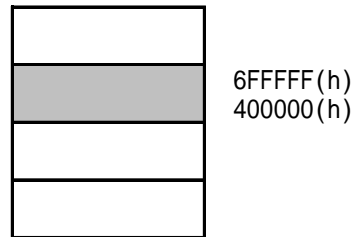
### 【64M フラッシュの 1/4,2/4,3/4,4/4 領域のそれぞれ 16M を使用】

1- ボトムセクタ時は CONFIG\_SEL[4] = "1"

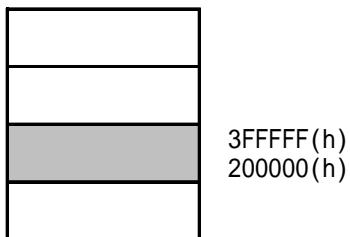
CONFIG\_SEL[4:0] : 01001 (トップセクタ時)



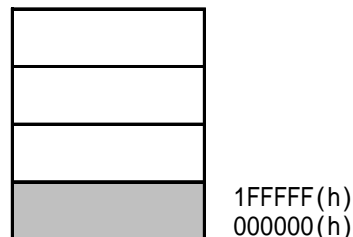
CONFIG\_SEL[4:0] : 01010 (トップセクタ時)



CONFIG\_SEL[4:0] : 01011 (トップセクタ時)



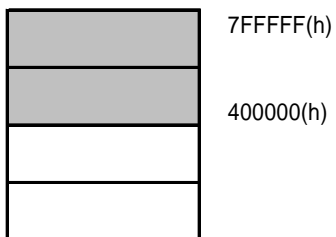
CONFIG\_SEL[4:0] : 01100 (トップセクタ時)



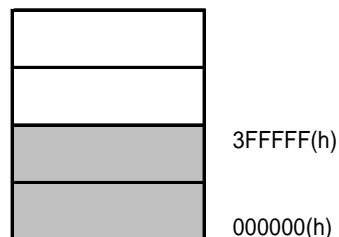
### 【64M フラッシュの 1~2/4、3~4/4 領域のそれぞれ 32M を使用】

1- ボトムセクタの時は CONFIG\_SEL[4] = "1"

CONFIG\_SEL[4:0] : 01101 (トップセクタ時)

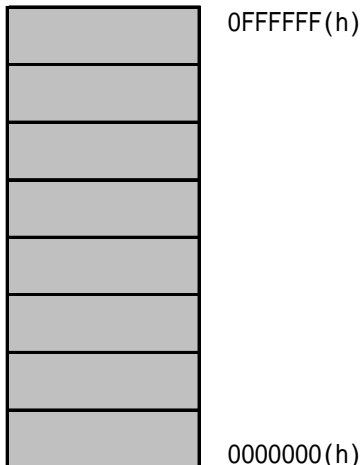


CONFIG\_SEL[4:0] : 01110 (トップセクタ時)

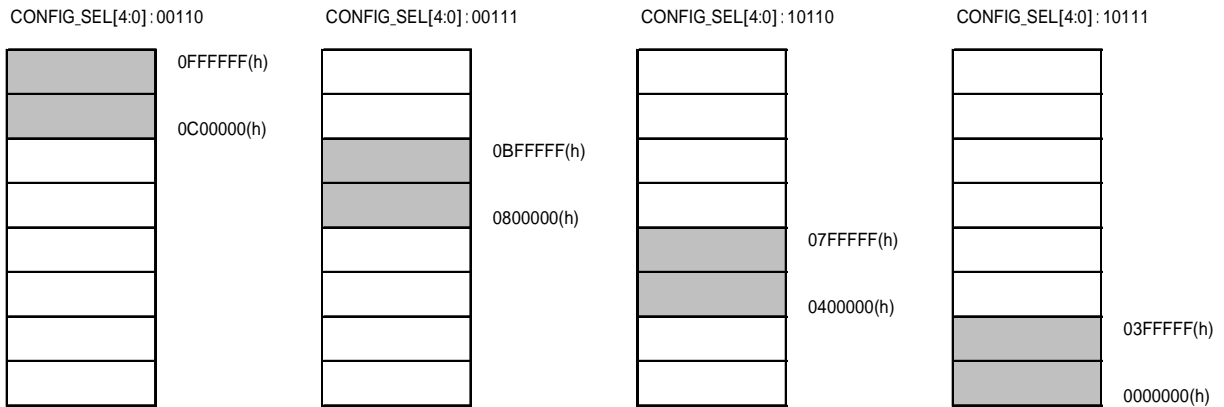


### 【128M フラッシュの全領域を使用】

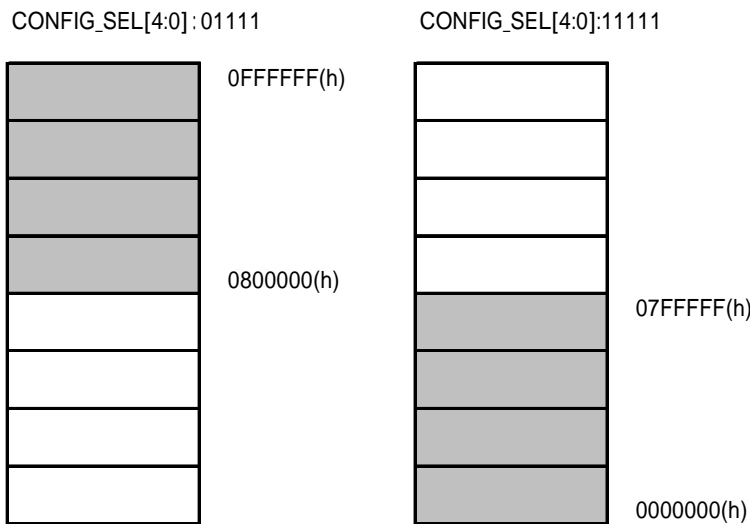
CONFIG\_SEL[4:0] = 00100 (トップセクタのみ)



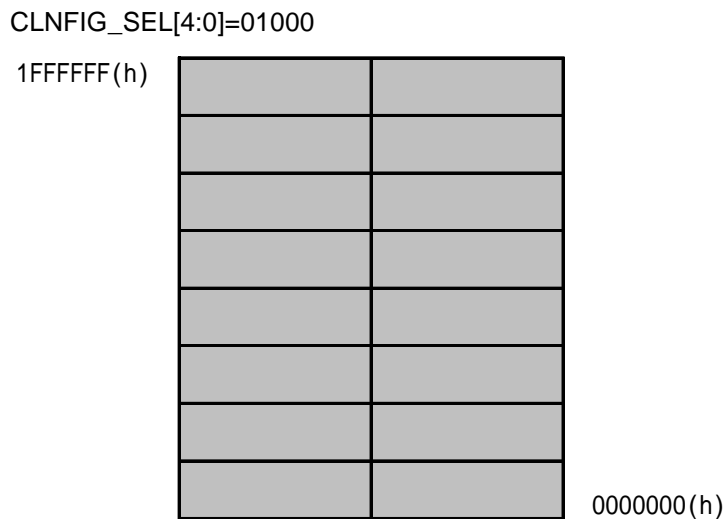
【128M フラッシュの 1~2/8、3~4/8、5~6/8、7~8/8 領域のそれぞれ 32M を使用 (トップセクタのみ)】



【128M フラッシュの 1~4/8、5~8/8 領域のそれぞれ 64M を使用 (トップセクタのみ)】



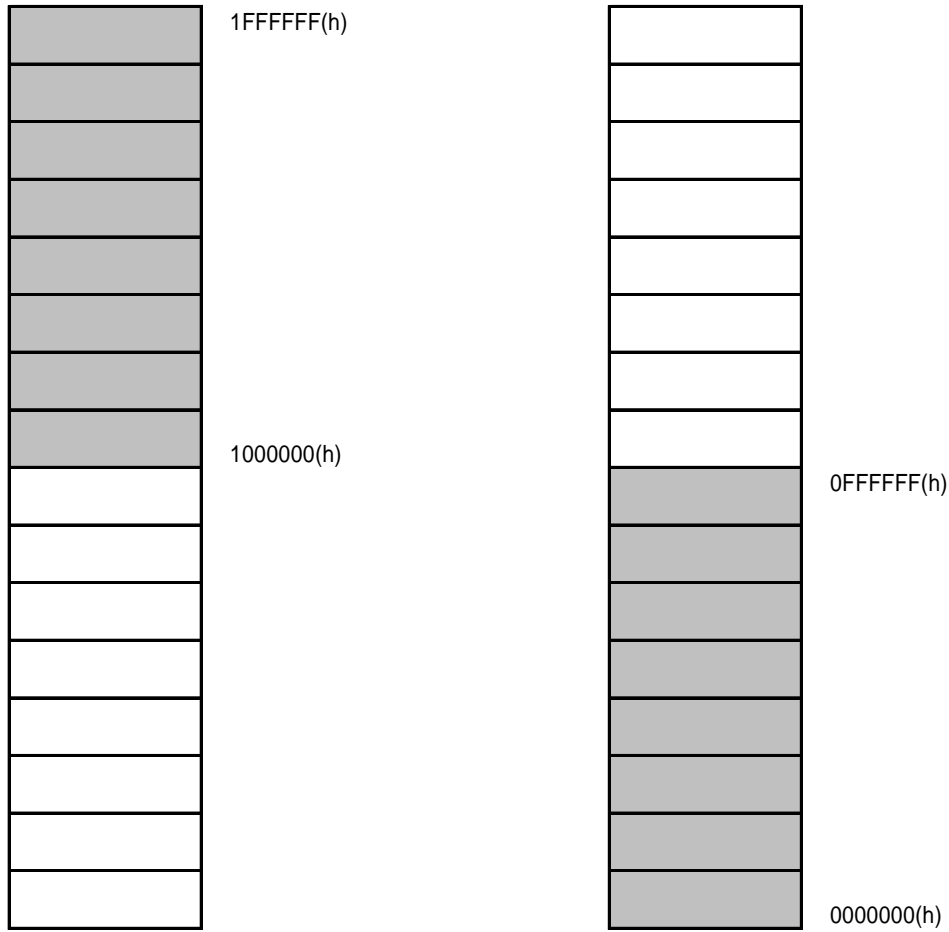
【256M フラッシュの全領域を使用 (トップセクタのみ)】



## 【256M フラッシュの 1~8/16、9~16/16 領域それぞれ 128M を使用 (トップセクタのみ)】

CONFIG\_SEL[4:0]:10100 (トップセクタのみ)

CONFIG\_SEL[4:0]:11000 (トップセクタのみ)



## 【CONFIG\_SEL[4:0]設定表】

CONFIG SEL	FLASHの領域
0 0 0 0 0	16Mbit 全領域(トップセクタ)
0 0 0 0 1	32Mbit 全領域(トップセクタ)
0 0 0 1 0	64Mbit 全領域(トップセクタ)
0 0 0 1 1	32Mbit 1/2上位領域16Mbit(トップセクタ)
0 0 1 0 0	128Mbit 全領域(トップセクタのみ)
0 0 1 0 1	32Mbit 2/2下位領域16Mbit(トップセクタ)
0 0 1 1 0	128Mbit 1~2/8領域32Mbit(トップセクタのみ)
0 0 1 1 1	128Mbit 3~4/8領域32Mbit(トップセクタのみ)
0 1 0 0 0	256Mbit 全領域(トップセクタのみ)
0 1 0 0 1	64Mbit 1/4領域16Mbit(トップセクタ)
0 1 0 1 0	64Mbit 2/4領域16Mbit(トップセクタ)
0 1 0 1 1	64Mbit 3/4領域16Mbit(トップセクタ)
0 1 1 0 0	64Mbit 4/4領域16Mbit(トップセクタ)
0 1 1 0 1	64Mbit 1/2上位領域32Mbit(トップセクタ)
0 1 1 1 0	64Mbit 2/2下位領域32Mbit(トップセクタ)
0 1 1 1 1	128Mbit 1~4/8上位領域64Mbit(トップセクタ)
1 0 0 0 0	16Mbit 全領域(ボトムセクタ)
1 0 0 0 1	32Mbit 全領域(ボトムセクタ)
1 0 0 1 0	64Mbit 全領域(ボトムセクタ)
1 0 0 1 1	32Mbit 1/2上位領域16Mbit(ボトムセクタ)
1 0 1 0 0	256Mbit 1~8/16上位領域 128Mbit(トップセクタのみ)
1 0 1 0 1	32Mbit 2/2下位領域16Mbit(ボトムセクタ)
1 0 1 1 0	128Mbit 5~6/8領域32Mbit(トップセクタのみ)
1 0 1 1 1	128Mbit 7~8/8領域32Mbit(トップセクタのみ)
1 1 0 0 0	256Mbit 9~16/16下位領域 128Mbit(トップセクタのみ)
1 1 0 0 1	64Mbit 1/4領域16Mbit(ボトムセクタ)
1 1 0 1 0	64Mbit 2/4領域16Mbit(ボトムセクタ)
1 1 0 1 1	64Mbit 3/4領域16Mbit(ボトムセクタ)
1 1 1 0 0	64Mbit 4/4領域16Mbit(ボトムセクタ)
1 1 1 0 1	64Mbit 1/2上位領域32Mbit(ボトムセクタ)
1 1 1 1 0	64Mbit 2/2下位領域32Mbit(ボトムセクタ)
1 1 1 1 1	128Mbit 5~8/8下位領域64Mbit(トップセクタ)

表 15: CONFIG\_SEL[4:0]設定一覧表

## 6.4.FPGA コンフィグレーションインタフェース

コンフィグレーションは FPGA 内部のコンフィグレーションメモリに回路データをダウンロードするプロセスです。Xilinx 社製 FPGA は数種類のコンフィグレーションモードをサポートしておりますが、本 LSI では、マスタシリアルモードとマスタセレクトマップモードの 2 種類をサポートしております。フラッシュメモリから読み出されたデータは、マスタシリアルモード時はパラレルシリアル変換後、シリアルデータとして FPGA へ出力します。マスタセレクトマップ時は、読み出されたデータを FPGA へ出力させます。また、TE7725Player よりダウンロードケーブル経由でフラッシュメモリへライトしている時に、FPGA からフラッシュメモリへのコンフィグレーション命令は無視されます。その場合、フラッシュメモリへのライト終了後に再コンフィグレーション命令を実行する必要があります。

### 【コンフィグレーション動作開始】

本 LSI では以下 4 通りの方法により、FPGA のコンフィグレーションを開始します。

本 LSI の電源投入後、リセット解除時

フラッシュメモリにコンフィグレーションデータが格納されていることが条件

TE7725Player により"Configuration"コマンド発行

1- フラッシュメモリにコンフィグレーションデータが格納されていることが条件

XRST 端子に Low パルス入力 (Min100ns)

PWS\_SEQ[2:0]端子が全て"L" "H"となった後、FPGA の PROG 端子に Low パルス出力することによりコンフィグレーション開始 (CF\_SEL="1"のとき)

### 【2.5V と 3.3V インタフェース】

本 LSI は FPGA の 2 種類のコンフィグレーション電圧に対応出来る様に、2.5V インタフェースと 3.3V インタフェースをサポートしております。各電圧の該当端子は別々になっております。一つの端子で両電圧対応ではありません。

また、使用していない電圧側の FPGA インタフェース入力端子は 1K 程度で必ずプルアップ処理をして下さい。使用していない端子の出力は"H"が出力されます。

### 【マスタシリアルモードとマスタセレクトマップモード】

本 LSI はマスタシリアルモードとマスタセレクトマップモードの 2 種類をサポートしております。これらのモードの切り替えは、MS\_XSM 端子により行います。MS\_XSM=(0,1):(マスタセレクトマップモード:マスタシリアルモード)のように設定します。この端子の切り替えは、必ず電源投入前またはコンフィグレーション終了後に行なって下さい。

マスタシリアルモードは、フラッシュメモリからコンフィグレーションデータをリードしてから、パラレルシリアル変換後にコンフィグレーションデータを出力しますので、CCLK 入力後 TE7725PF からデータが出力されるまでに 8CCLK サイクル必要とします。

マスタセレクトマップモードは、CCLK1 サイクルで 8 ビットのデータをコンフィグレーションします。MS\_XSM="0"とします。出力データ FPGA\_DATA[7]が MSB、FPDA\_DATA[0]が LSB になります。FPGA の MSB 端子は D[0]になりますので、結線に御注意下さい。

また、マスタセレクトマップモードは本 LSI と FPGA の接続は 1 対 1 のみのサポートです。本 LSI にて FPGA の CS 端子を制御する機能は設けておりません。

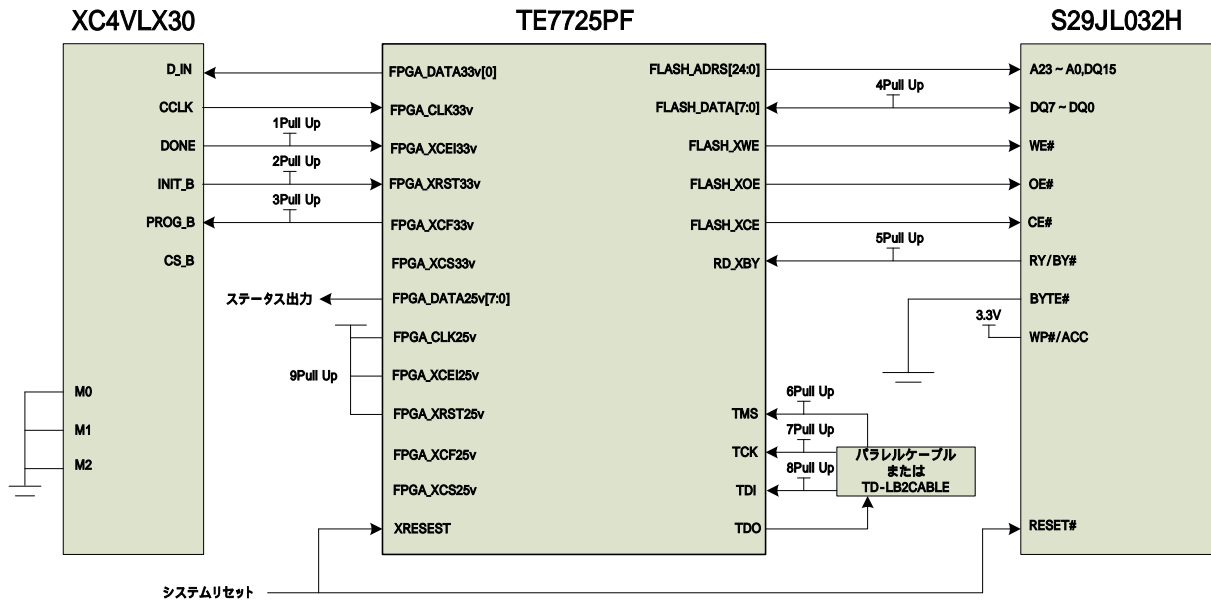


図 13: マスタシリアルモード参考接続図(A)

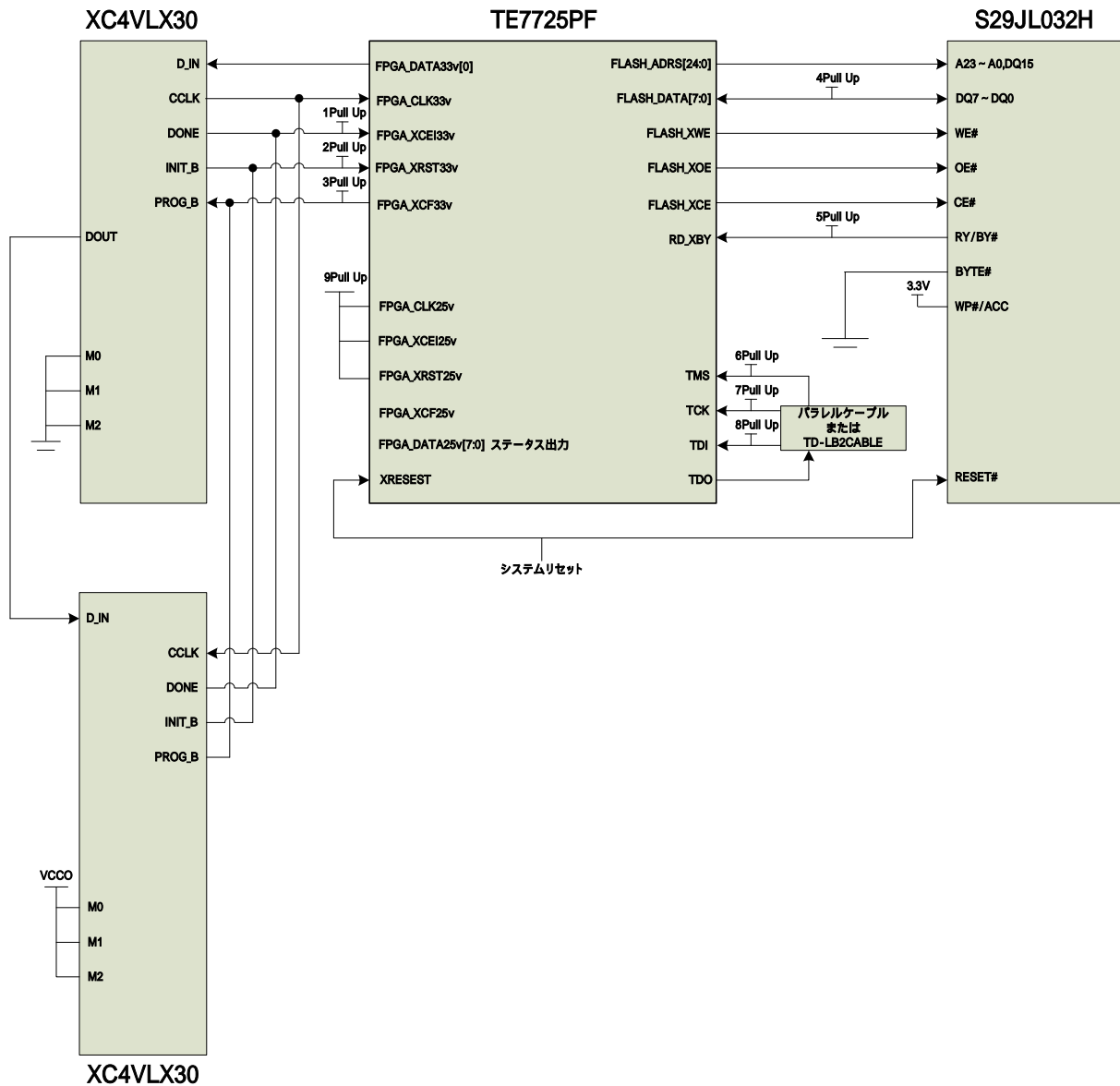


図 14 : マスタシリアルモード参考接続図 (B)

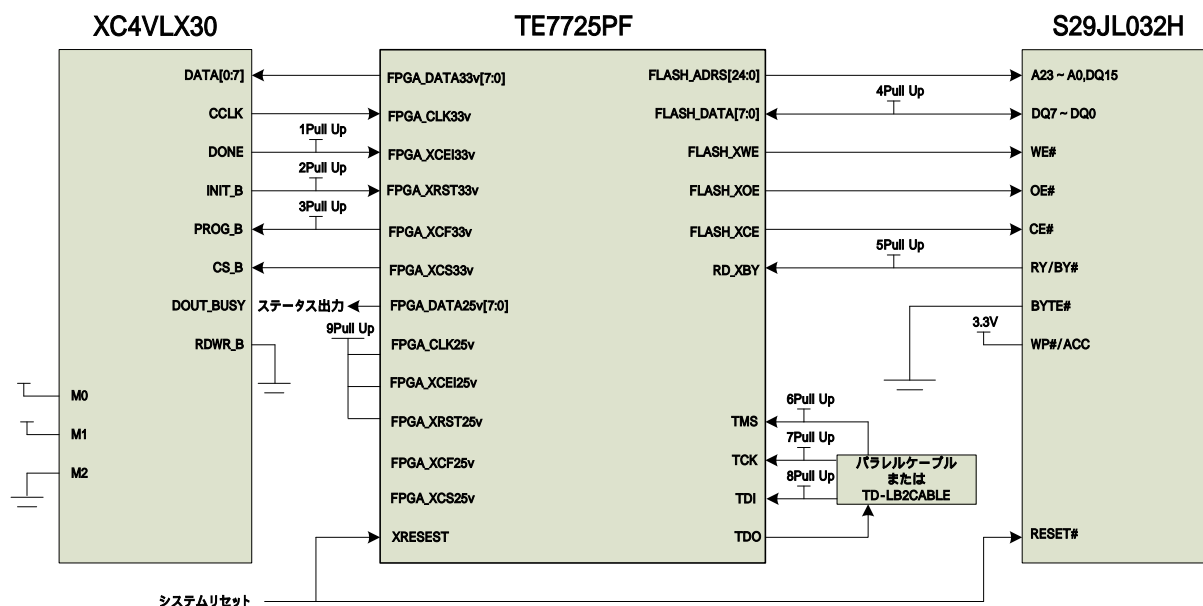


図 15: マスタセレクトマップ参考接続図

注) 1~3のプルアップ抵抗値は、各FPGAのデータシートまたはアプリケーションノートを参照願います。4~8は4.7K、9は1Kを推奨致します。

FPGAとの接続については各デバイスごとのコンフィギュレーション UserGuideを確認してください。

## 6.5.JTAG について

本 LSI の TAP コントローラは、弊社製 TE7725Player から高速での書き込みを実現するために独自のインストラクション機能のみを持っており、他のデバイスと JTAG チェーン接続することは禁止致します。

また、INTEST や EXTEST といったインストラクションもサポートしておりません。

尚、Xilinx 社のプログラミングソフト iMPACT を使用しての書き込みも出来ません。書き込みを行なうには、TE7725Player を使用して下さい。その際のダウンロードケーブルは、弊社製 TD-LB2CABLE または Xilinx 社製パラレルケーブル or のみのサポートとしております。

## 6.6.ステータス出力

使用していない側の FPGA\_DATA[7:0]が TE7725PF でのステータスを出力することが出来ます。オペレーションに伴うステータスは以下の通りです。

TE7725PFの状態	STATUS[7:0]	内容
正常終了	0000_0001	TE7725Playerからのコマンドが正常終了
消去中	0000_0010	フラッシュメモリプログラム領域の消去中
プログラミング中	0000_0100	フラッシュメモリへのプログラミング中
ベリファイ中	0000_1000	フラッシュメモリの書き込みデータを読み出しベリファイ中
コンフィグレーションエラー	1000_0000	FPGAへのコンフィグレーションエラー

表 16 : ステータス出力一覧表

TE7725Player からのプログラム ( コマンド ) 終了後とは、以下 4 通りを示します。

- \*書き込みベリファイ
- \*書き込み
- \*ベリファイ
- \*コンフィグレーション

## 6.7.BUS\_RELEASE 出力信号について

フラッシュメモリバスを TE7725PF と CPU 等の他のデバイスと共有している時に、BUS\_RELEASE 出力信号を見て制御する必要があります。

BUS\_RELEASE="0"の時、フラッシュの制御信号は Hi-Z を出力します。

BUS\_RELEASE="1"の時、フラッシュの制御信号は TE7725PF 内部信号を出力します。

フラッシュの制御信号とは、FLASH\_ADRS[24:0]、FLASH\_XCE、FLASH\_XOE、FLASH\_XWE。

BUS\_RELEASE 信号が"0"を出力するのは、『FPGA へのコンフィグレーションが正常終了したとき』または『TE7725Player からのコマンドが正常終了したとき』になります。尚、FLASH\_DATA[7:0] ( 双方向端子 ) は、BUS\_RELEASE 信号が"0"を出力するとき、入力方向を向いています。TE7725PF が上記以外の状態の時は、BUS\_RELEASE 信号は"1"を出力します。

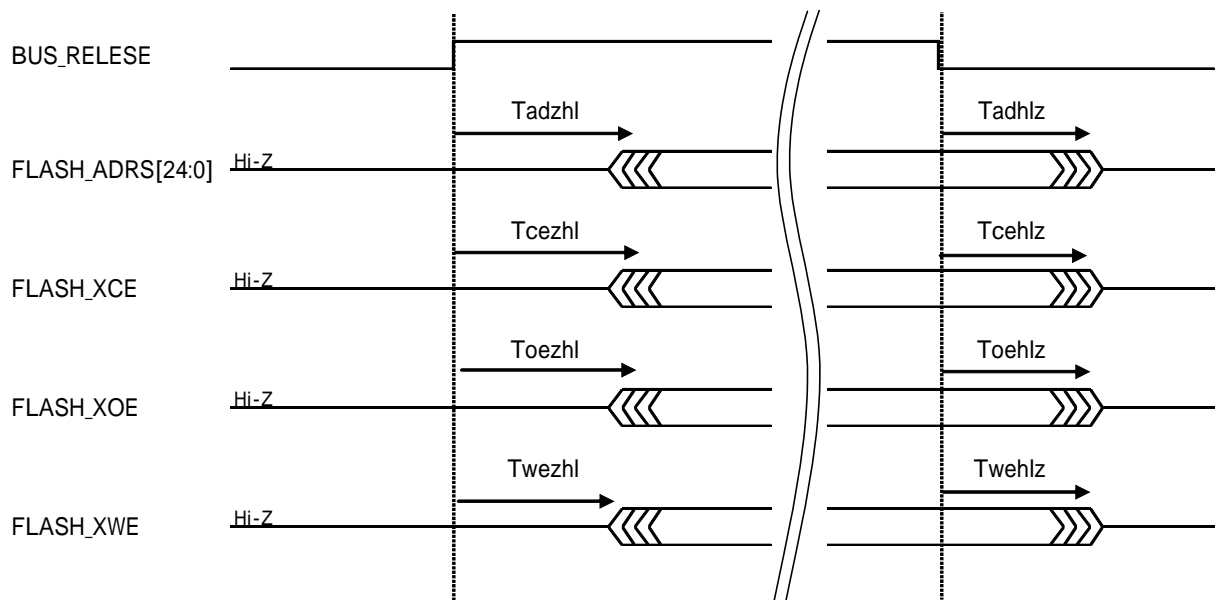
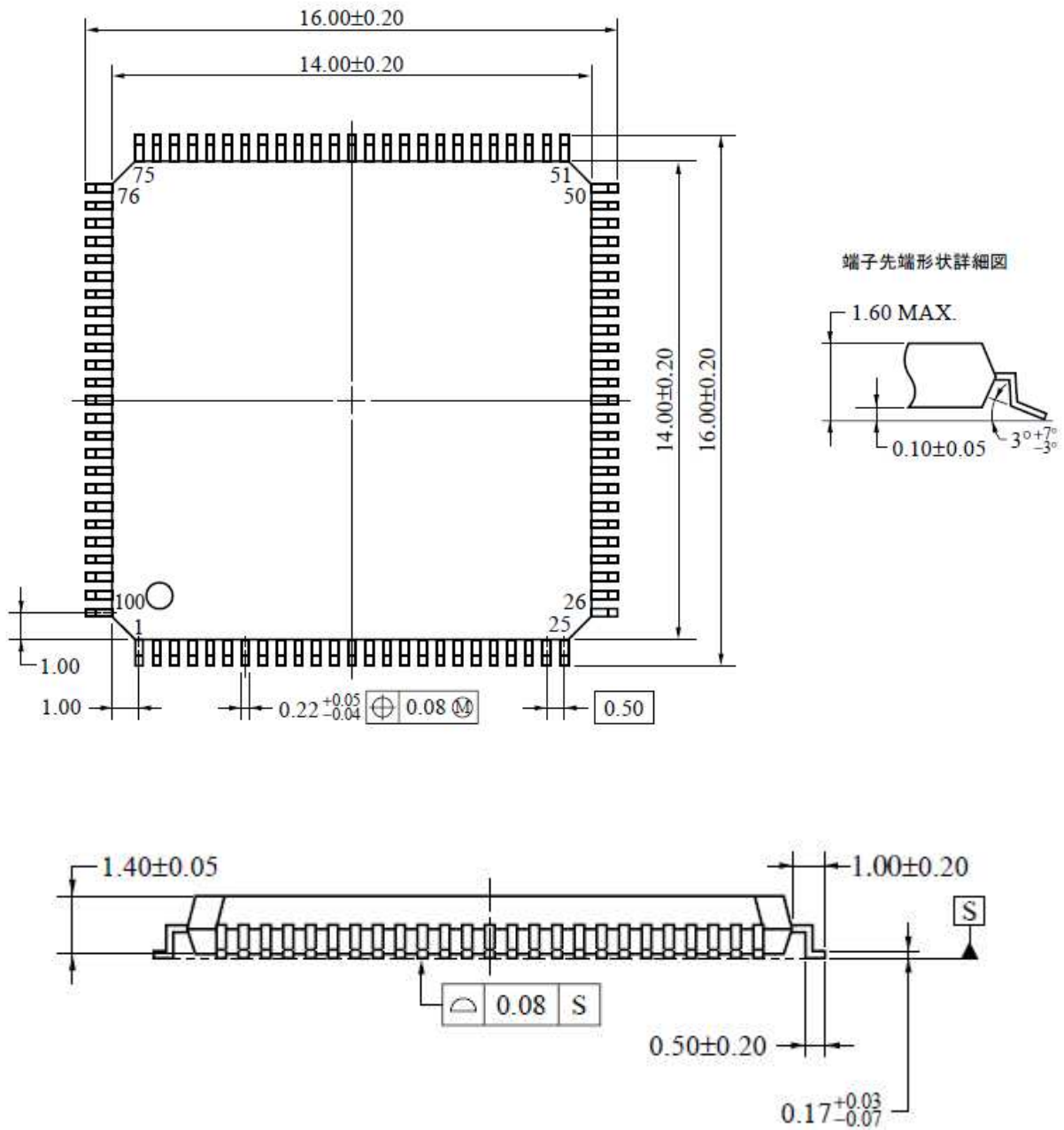


図 16 : BUS\_RELEASE 時の AC 特性

Symbol	Content	MIN	MAX	UNIT
Tadzhl	FLASH adress Z->HL 出力特性	-	10	ns
Tadhiz	FLASH adress HL->Z 出力特性	-	6	ns
Tcezhil	FLASH XCE Z->HL 出力特性	-	10	ns
Tcehlz	FLASH XCE HL->Z 出力特性	-	5	ns
Toezhl	FLASH XOE Z->HL 出力特性	-	10	ns
Toehlz	FLASH XOE HL->Z 出力特性	-	5	ns
Twezhl	FLASH XWE Z->HL 出力特性	-	10	ns
Twehlz	FLASH XWE HL->Z 出力特性	-	5	ns

図 17 : BUS\_RELEASE 時の AC 特性

## 7.パッケージ外形図



## 8. 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	$V_{DD1}$	2.5V	-0.5 ~ +3.6	V
	$V_{DD2}$	3.3V	-0.5 ~ +4.6	V
入出力電圧 2.5V入力バッファ 3.3V入力バッファ	$V_i/V_o$	$V_i/V_o < V_{DD} + 0.3V$	-0.5 ~ +3.6	V
		$V_i/V_o < V_{DD} + 0.5V$	-0.5 ~ +4.6	V
動作周囲温度	$T_A$		-40 ~ +85	
保存温度	$T_{STG}$		-65 ~ +150	

表 17: 絶対最大定格

各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で製品を御使用下さい。

## 9. 推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	$V_{DD1}$	2.5V	2.3	2.5	2.7	V
	$V_{DD2}$	3.3V	3.0	3.3	3.6	V
ハイレベル入力電圧	$V_{IH}$	2.5V入力バッファ	1.7		$V_{DD1}$	V
ロウレベル入力電圧	$V_{IL}$	2.5V入力バッファ	0		0.7	V
ハイレベル入力電圧		3.3V入力バッファ	$0.5V_{DD2}$		$V_{DD2}$	V
ロウレベル入力電圧		3.3V入力バッファ	0		$0.33V_{DD2}$	V
入力立ち上がり時間	$t_{ri}$	通常入力	0		200	ns
入力立下り時間	$t_{fi}$	通常入力	0		200	ns
入力立ち上がり時間	$t_{ri}$	シュミット入力	0		10	ms
入力立下り時間	$t_{fi}$	シュミット入力	0		10	ms

表 18: 推奨動作範囲

## 10. DC 特性

項目		略号	条件	MIN.	TYP.	MAX.	単位
入力リーク電流 (2.5Vバッファ)	通常入力	$I_I$	$V_I=V_{DD1}$ or GND			$\pm 10$	$\mu A$
	プルアップ抵抗付(100k )	$I_I$	$V_I=GND$	-8	-22	-56	$\mu A$
入力リーク電流 (3.3Vバッファ)	通常入力	$I_I$	$V_I=V_{DD2}$ or GND			$\pm 10$	$\mu A$
	プルアップ抵抗付(100k )	$I_I$	$V_I=GND$	-14	-41	-58	$\mu A$
プルアップ抵抗	2.5Vバッファ(100k )	$R_{PU}$	$V_I=GND$	49	111	279	k
	3.3Vバッファ(100k )	$R_{PU}$	$V_I=GND$	33	81	221	k
ロウレベル出力電流	2.5Vバッファ(6.0mAタイプ)	$I_{OL}$	$V_{OL}=0.4V$	6			mA
	3.3Vバッファ(6.0mAタイプ)	$I_{OL}$	$V_{OL}=0.4V$	6			mA
	3.3Vバッファ(9.0mAタイプ)	$I_{OL}$	$V_{OL}=0.4V$	9			mA
ハイレベル出力電流	2.5Vバッファ(6.0mAタイプ)	$I_{OH}$	$V_{OH}=1.4V$	-6			mA
	3.3Vバッファ(6.0mAタイプ)	$I_{OH}$	$V_{OH}=2.6V$	-6			mA
	3.3Vバッファ(9.0mAタイプ)	$I_{OH}$	$V_{OH}=2.6V$	-9			mA
ロウレベル出力電圧	2.5Vバッファ	$V_{OL}$	$I_{OL}=0mA$			0.1	V
	3.3Vバッファ	$V_{OL}$	$I_{OL}=0mA$			0.1	V
ハイレベル出力電圧	2.5Vバッファ	$V_{OH}$	$I_{OH}=0mA$	$V_{DD1}-0.1$			V
	3.3Vバッファ	$V_{OH}$	$I_{OH}=0mA$	$V_{DD2}-0.1$			V
最大消費電流値	VDD1					78.21	mA
	VDD2					52.11	mA

表 19 : DC 特性

## 11. パワーオンシーケンス

### 11-1 電源投入

電源は VDD1、VDD2 の投入順序は問いませんが、100ms 以内に行なってください。

### 11-2 電源切断

電源は VDD1、VDD2 の切断順序は問いませんが、100ms 以内に行なってください。

VDD1 は 0.2V 以下、VDD2 は 0.3V 以下。

## 12. AC 特性

### 12-1 Xilinx FPGA に対するコンフィグレーション機能 (マスタシリアル)

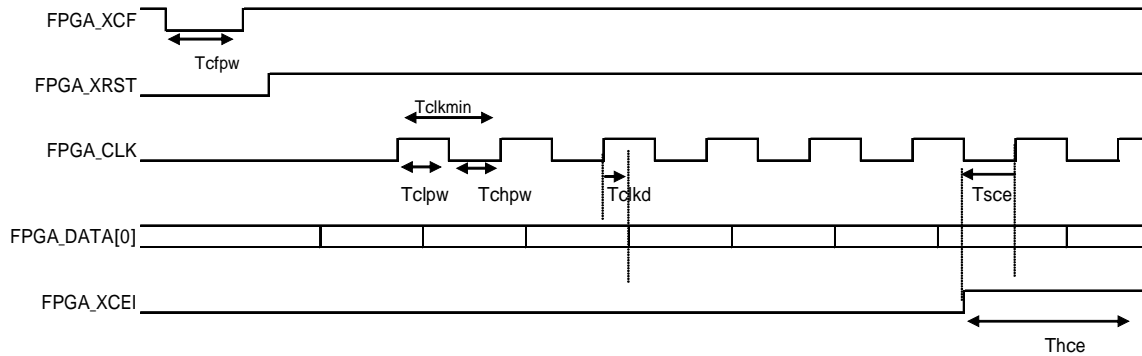


図 18 : マスタシリアル AC 特性

Symbol	Parameter	MIN	MAX	単位
$T_{cp}$	Clock Period	25	-	ns
$T_{cplw}$	Clock Low Pulse width	15	-	
$T_{chpw}$	Clock High Pulse width	15	-	
$T_{cfpw}$	XCF Low Pulse width	2CCLK	-	
$T_{ckd}$	CLK to DATA[0] Delay	0	10	
$T_{sce}$	XCEI Setup Time to CLK	5	-	
$T_{hce}$	XCEI Hi Time to CLK	3CCLK	-	

表 20 : マスタシリアル AC 特性

## 12-2 Xilinx FPGA に対するコンフィグレーション機能 (マスタセレクトマップ)

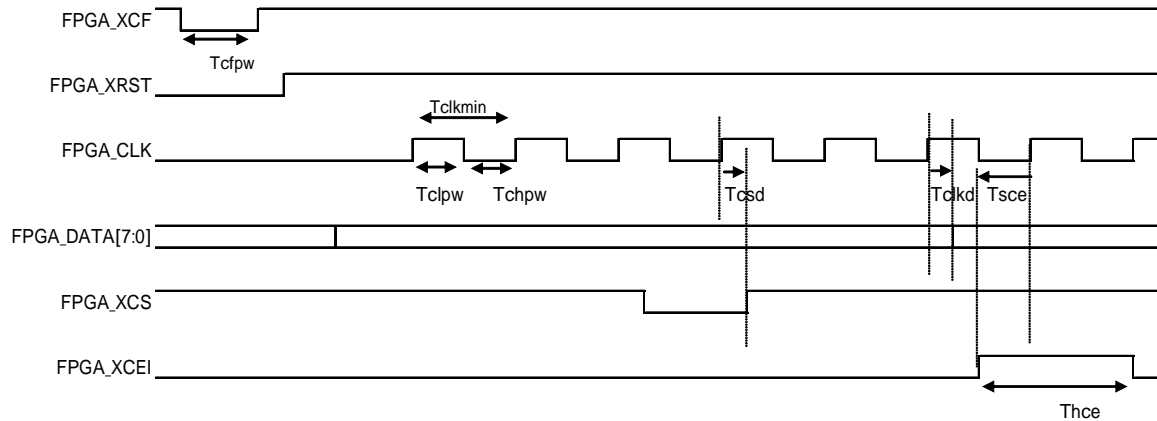


図 19 : マスタセレクトマップ AC 特性

Symbol	Parameter	MIN	MAX	単位
Tcp	Clock Period	25	-	ns
Tcplw	Clock Low Pulse width	15	-	
Tchpw	Clock High Pulse width	15	-	
Tcfpw	XCF Low Pulse width	2CCLK	-	
Tckd	CLK to DATA Delay	0	10	
Tcsd	CLK to XCS Delay	0	10	
Tsce	XCEI Setup Time to CLK	5	-	
Thce	XCEI Hi Time to CLK	3CCLK	-	

表 21 : マスタセレクトマップ AC 特性

## 12-3 TE7725Player に対する AC 特性

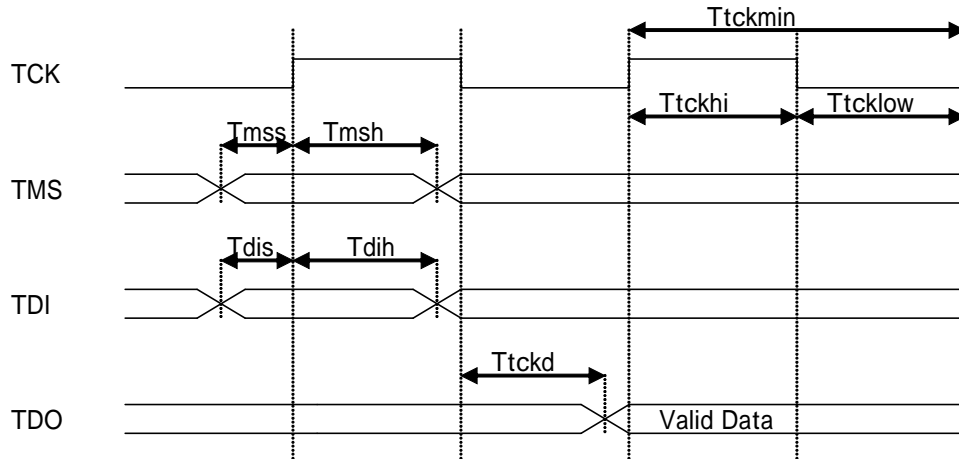


図 20 : TE7725PlayerAC 特性

Symbol	Content	Min	Max	Unit
$Ttckmin$	TCK Cycle Time	50	-	ns
$Ttckhi$	TCK "H" Width	17.5	-	ns
$Ttcklow$	TCK "L" Width	17.5	-	ns
$Tmss$	TMS Setup Time to TCK	10	-	ns
$Tmsh$	TMS Hold Time to TCK	5	-	ns
$Tdis$	TDI Setup Time to TCK	10	-	ns
$Tdih$	TDI Hold Time to TCK	5	-	ns
$Ttckd$	TCK to TDO Delay	0	10	ns

表 22 : TE7725PlayerAC 特性

### 13. Appendix

対応 Numonyx 社フラッシュメモリ

M29W160ET70N6E/M29W160EB70N6E

M29W320DT70N6E/M29W320DB70N6E

M29W640FT70N6E/M29W640FB70N6E

M29W128GH70N6E

M29W128GL70N6E

## 14. 改版履歴

Revision	Date	Description
1.0	2006/06/01	初版
1.1	2006/07/18	P7：誤記訂正 P22：コンフィグレーション動作開始説明追記 P26：ステータス出力説明追記
1.2	2006/08/04	P6：端子説明詳細追加 P25：図 13 修正 P26：説明追記 P27：説明修正 P33：最大消費電流値訂正
1.3	2006/10/25	P2：概要追記 P6：未使用時の入力端子処理追記 P8：イレース動作説明追記 P15：読み出し動作（コンフィグレーション）説明追記 P17-21：データセレクション機能表記修正 P22：誤記訂正
1.4	2007/07/20	10 章の最大消費電流値訂正
1.5	2007/12/19	対応 FPGA を追記
1.6	2008/03/26	表 16 修正
1.7	2009/06/16	Appendix にて対応フラッシュメモリ追加
1.8	2009/08/17	問合せ先を本社へ
1.9	2011/04/14	端子配列表に説明追加。 参考接続図に説明追加。

表 23：改版履歴

 **東京エレクトロン デバイス株式会社**

インレビウム事業部

〒221-0056 神奈川県横浜市神奈川区金港町1番4

横浜イーストスクエア

TEL 045-443-4031 FAX 045-443-4059

E-mail inrevium-contact@teldevice.co.jp

URL <http://www.inrevium.jp>

お問い合わせは下記営業担当までお願い致します。

- ・この資料の記載内容は、予告なしに変更することがあります。ご使用を検討の際には弊社担当までご確認ください。
- ・この資料に記載された情報・図面の使用に起因する第三者の特許権、工業所有権、その他の権利侵害について、弊社はその責任を負うものではありません。
- ・本製品を他の製品と組み合わせて、または他の製品に組み込んで使用される二次製品、三次製品等について、第三者との間に特許権、実用新案件、回路配置利用権、著作権、その他の知的財産権に関する紛争が発生した場合には、本製品をご使用される方の責任において処理、解決してください。
- ・本製品は、生命維持装置、原子力制御装置、航空宇宙機、輸送機器等の極めて高い信頼性が要求される装置用に製造されておりません。